



Attorney Docket No.: 2102475-991110

2818

#2/8/19
W. May

RECEIVED

JUL 05 2001
TECHNOLOGY MAIL ROOM

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as FIRST CLASS MAIL in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231, on June 27, 2001.

Rosa A. Caviedes

Rosa A. Caviedes

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: Kouchi et al.

Serial No.: 09/821,163

Group Art Unit: 2818

Filed: March 28, 2001

Examiner: Not Yet Assigned

Title: SEMICONDUCTOR INTEGRATED CIRCUIT

REQUEST FOR PRIORITY UNDER 35 U.S.C. 119
AND THE INTERNATIONAL CONVENTION

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NO.</u>	<u>MONTH/DAY/YEAR</u>
Japan	2000-088408	03/28/2000

A Certified copy of the corresponding Convention Application(s) is(are) being submitted
herewith.



Respectfully submitted, TC 2800 MAIL ROOM

GRAY CARY WARE & FREIDENRICH LLP

Dated: June 27, 2001

By Edward B. Weller
Edward B. Weller
Reg. No. 37,468
Attorney for Applicant

GRAY CARY WARE & FREIDENRICH
1755 Embarcadero Road
Palo Alto, CA 94303-3340
Telephone: (650) 833-2000
Facsimile: (650) 320-7401

RECEIVED
AUG 08 2001
Technology Center 2100



日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

RECEIVED

JUL -5 2001

TC 2000 MAIL ROOM

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 3月28日

出 願 番 号

Application Number:

特願2000-088408

出 願 人

Applicant (s):

株式会社東芝

RECEIVED

AUG 08 2001

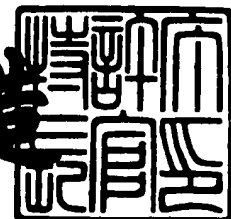
Technology Center 2100

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年12月22日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3105751

【書類名】 特許願

【整理番号】 A009905850

【提出日】 平成12年 3月28日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/34

【発明の名称】 半導体集積回路

【請求項の数】 8

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ
イクロエレクトロニクスセンター内

【氏名】 小内 俊之

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ
イクロエレクトロニクスセンター内

【氏名】 杉沢 義徳

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ
イクロエレクトロニクスセンター内

【氏名】 北城 岳彦

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路

【特許請求の範囲】

【請求項 1】 複数のDRAM回路と、

テスト制御信号入力を受けて前記各DRAM回路に対する入出力制御及びテスト制御を並行に行う機能を有する制御回路と、

前記制御回路により制御され、DRAMマクロ信号入力を前記複数のDRAM回路の任意の一個に機能を有する入力セレクタと、

前記制御回路により制御され、通常動作時には前記複数のDRAM回路の任意の一個の出力信号を選択してマクロ出力端子に出力させ、テスト時には前記複数のDRAM回路の各出力信号を選択制御してマクロ出力端子に出力させる機能を有する出力セレクタ

とを具備することを特徴とする半導体集積回路。

【請求項 2】 前記制御回路は、前記各DRAM回路に対するテストを並行に行う際、各DRAM回路の最初のロウについて、1 個のDRAM回路の各カラム順にメモリセルをアクセスする動作を各DRAM回路に対して順次行わせ、この後、各DRAM回路の次のロウから最後のロウに対して、前記最初のロウに対する動作と同様の動作を順次行わせることを特徴とする請求項 1 記載の半導体集積回路。

【請求項 3】 複数のDRAM回路と、

前記複数のDRAM回路にそれぞれ対応して設けられ、制御信号入力を受けてそれぞれ対応するDRAM回路の入出力制御及びテスト制御を行う機能を有する複数の制御回路と、

前記制御信号入力を受けて制御され、通常動作時には前記複数のDRAM回路の任意の一個の出力信号を選択してマクロ出力端子に出力させ、テスト時には前記複数のDRAM回路の各出力信号を選択制御してマクロ出力端子に出力させる機能を有する出力セレクタ

とを具備することを特徴とする半導体集積回路。

【請求項 4】 前記制御回路は、それぞれ対応するDRAM回路のテストを行う際、それぞれ対応するDRAM回路の最初のロウについて各カラム順にメモリセルを

アクセスする動作を行わせ、この後、次のロウから最後のロウに対して、前記最初のロウに対する動作と同様の動作を順次行わせることを特徴とする請求項 3 記載の半導体集積回路。

【請求項 5】 前記制御回路は、制御信号入力端子に接続されており、前記制御信号入力端子から他のマクロ回路を介することなく直接に制御回路を制御可能であることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の半導体集積回路。

【請求項 6】 複数の DRAM 回路と、
制御信号入力を受けて前記複数の DRAM 回路を同時にかつ個別に制御する個別制御機能を有する個別制御回路と、

DRAM マクロ信号入力を、前記複数の DRAM 回路の任意の一個に供給する機能を有する入力セレクタと、

前記複数の DRAM 回路の任意の一個の出力信号を選択してマクロ出力端子に出力させる機能を有する出力セレクタ

とを具備することを特徴とする半導体集積回路。

【請求項 7】 前記個別制御回路は、制御信号入力を受けると、各 DRAM 回路から順次にデータを読み出して外部に転送する動作を繰り返すように制御することを特徴とする請求項 6 記載の半導体集積回路。

【請求項 8】 前記個別制御回路は、1 個の DRAM 回路にバンクアクティブ信号 BACT を供給し、前記出力セレクタを前記 1 個の DRAM 回路の出力信号の選択が可能な状態に制御し、前記 1 個の DRAM 回路の各カラムから順次にデータを読み出して出力した後、ビット線プリチャージ信号 BPRC を供給するように制御し、

かつ、前記 1 個の DRAM 回路に読み出し制御信号 READ を供給している間に、別の 1 個の DRAM 回路にバンクアクティブ信号 BACT を供給し、前記 1 個の DRAM 回路にビット線プリチャージ信号 BPRC を供給している間に、前記出力セレクタを前記別の 1 個の DRAM 回路の出力信号の選択が可能な状態に制御することにより、前記 1 個の DRAM 回路から 1 回分のデータの読み出しが完了すると、直ちに、前記別の 1 個の DRAM 回路の各カラムから順次にデータを読み出して出力することを可能としたことを特徴とする請求項 7 記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、同一半導体チップ上に複数のマクロ回路を搭載した多マクロ搭載半導体集積回路に係り、特にデータ転送や各マクロ回路のテスト等を行うための制御回路に関するもので、複数のDRAM回路を搭載したLSI、複数のDRAM回路とロジック回路を混載したDRAM混載ロジックLSI などに使用されるものである。

【0002】

【従来の技術】

複数のマクロ回路を搭載した多マクロ搭載LSI として、複数のDRAM回路（マクロ回路）を搭載したDRAMとか、DRAM回路と他の種類のマクロ回路（例えばロジック回路）を混載したDRAM混載ロジックLSI などがある。

【0003】

従来、複数のDRAM回路を搭載したLSI において、複数のDRAM回路をテストする際には、各DRAM回路毎に別々にテストを行っている。

【0004】

図7および図8は、例えば同期型の複数のDRAM回路を搭載した従来のLSI において2個のDRAM回路を連続的にテストする場合のアクセスの順序を説明するためにアクセスパターンを示す模式図およびフローチャートである。

【0005】

即ち、まず、第1のDRAM回路に対して、最初のロウについて全カラムのメモリセルを順次にアクセスし、このようなアクセスを次のロウから最後のロウまで繰り返す。次に、第2のDRAM回路に対して、上記第1のDRAM回路と同様にアクセスする。

【0006】

この場合、第1のDRAM回路について、ロウのアクセス毎に、バンクアクティブ信号BACTを活性化した後にロウ選択を行って各カラム順にリード（READ）動作を行うアクセス期間tRASおよびビット線プリチャージ信号BPRCによりビット線プリチャージ動作を行うプリチャージ期間tPR を必要とし、さらに、第2のDRAM回路

についても、ロウのアクセス毎にアクセス期間 t_{RAS} およびプリチャージ期間 t_{PR} を必要とする。

【 0 0 0 7 】

しかし、上記したように各DRAM回路をアクセスする際、各DRAM回路毎にアクティブからプリチャージまでの時間 t_{RAS} と、プリチャージからアクティブまでの時間 t_{RP} を必要とすることは、テスト時間が長くなるという問題がある。

【 0 0 0 8 】

図 9 は、例えば同期型の複数のDRAM回路を搭載した従来のLSI において 2 個のDRAM回路を同様に制御してDRAM回路外部にデータ転送を行う場合のアクセスの順序を示すフローチャートである。

【 0 0 0 9 】

即ち、まず、第 1 のDRAM回路に対して、最初のロウについて全カラムのメモリセルを順次にアクセスする。次に、第 2 のDRAM回路に対して、最初のロウについて全カラムのメモリセルを順次にアクセスする。このように第 1 のDRAM回路に対するアクセスと第 2 のDRAM回路に対するアクセスとを交互に切り換えながら、次のロウから最後のロウまでアクセスを繰り返す。

【 0 0 1 0 】

この場合、各ロウのアクセス毎に、バンクアクティブ信号BACTを活性化した後、ロウ選択を行って各カラム順にリード動作を行うアクセス期間 t_{RAS} およびビット線プリチャージ信号BPRCによりビット線プリチャージ動作を行ってから別のDRAM回路のバンクアクティブ信号BACTを活性化するまでのプリチャージ期間 t_{PR} を必要とする。

【 0 0 1 1 】

しかし、上記したように複数のDRAM回路に交互にアクセスしてDRAM回路から読み出したデータを転送させる時に、上記したように各DRAM回路毎にアクティブからプリチャージまでの時間 t_{RAS} と、プリチャージしてから別のDRAM回路をアクティブにするまでの時間 t_{RP} を必要とすることは、オーバーヘッドタイムを必要とするので、高速にデータを転送させたい時に問題がある。

【 0 0 1 2 】

図 1 0 は、DRAM回路のバンク 1 個分の一部を代表的に示している。

【 0 0 1 3 】

このメモリセルアレイは、ロウ方向に配置されたワード線 WL_i と直交するカラム方向に配置されたビット線対 BL_i 、 $/BL_i$ の各交差部に対応して配置（マトリクス配置）された 1 トランジスタ・1 キャパシタ構成のメモリセルMCからなるサブセルアレイ部と、このサブセルアレイ部の両側に配置され、選択されたロウのメモリセルMCからビット線 BL_i あるいは $/BL_i$ に読み出されたデータを増幅するセンスアンプS/A 群を具備し、カラム選択線 $CSLi$ により選択されるカラムスイッチCSを介してデータの書込み／読み出しが行われる。

【 0 0 1 4 】

【発明が解決しようとする課題】

上記したように複数のDRAM回路を搭載した従来のLSI は、各DRAM回路から読み出したデータを高速に転送させたい時に問題がある。また、各DRAM回路をテストする際のテスト時間が長くなるという問題があった。

【 0 0 1 5 】

本発明は上記の問題点を解決すべくなされたもので、複数のDRAM回路の読み出しデータを高速に転送させることが可能になる多マクロ搭載半導体集積回路を提供することを目的とする。

【 0 0 1 6 】

また、本発明の他の目的は、複数のDRAM回路をテストする際のテスト時間を短縮し得る多マクロ搭載半導体集積回路を提供することにある。

【 0 0 1 7 】

【課題を解決するための手段】

本発明の第 1 の多マクロ搭載半導体集積回路は、複数のDRAM回路と、テスト制御信号入力を受けて前記各DRAM回路に対する入出力制御及びテスト制御を並行に行う機能を有する制御回路と、前記制御回路により制御され、DRAMマクロ信号入力を前記複数のDRAM回路の任意の一個に機能を有する入力セレクタと、前記制御回路により制御され、通常動作時には前記複数のDRAM回路の任意の一個の出力信号を選択してマクロ出力端子に出力させ、テスト時には前記複数のDRAM回路の各

出力信号を選択制御してマクロ出力端子に出力させる機能を有する出力セレクタとを具備することを特徴とする。

【 0 0 1 8 】

本発明の第2の多マクロ搭載半導体集積回路は、複数のDRAM回路と、前記複数のDRAM回路にそれぞれ対応して設けられ、制御信号入力を受けてそれぞれ対応するDRAM回路の制御を行う機能を有する複数の制御回路と、前記制御信号入力を受けて制御され、通常動作時には前記複数のDRAM回路の任意の一個の出力信号を選択してマクロ出力端子に出力させ、テスト時には前記複数のDRAM回路の各出力信号を選択制御してマクロ出力端子に出力させる機能を有する出力セレクタとを具備することを特徴とする。

【 0 0 1 9 】

本発明の第3の多マクロ搭載半導体集積回路は、複数のDRAM回路と、制御信号入力を受けて前記複数のDRAM回路を同時にかつ個別に制御する個別制御機能を有する個別制御回路と、DRAMマクロ信号入力を、前記複数のDRAM回路の任意の一個に供給する機能を有する入力セレクタと、前記複数のDRAM回路の任意の一個の出力信号を選択してマクロ出力端子に出力させる機能を有する出力セレクタとを具備することを特徴とする。

【 0 0 2 0 】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。

【 0 0 2 1 】

＜第1の実施の形態＞

図1は、第1の実施の形態に係る複数のDRAM回路（マクロ回路）を同一半導体チップ上に搭載したLSIの一部を示すブロック図である。

【 0 0 2 2 】

このLSIチップは、第1のDRAM回路11と、第2のDRAM回路12と、テスト制御信号入力を受けて2個のDRAM回路11、12に対する各種制御を行う機能を有する制御回路13と、入力セレクタ14および出力セレクタ15を具備している。

【 0 0 2 3 】

LSI チップ外部には、テスト制御信号入力用の制御入力端子16と、DRAMマクロ信号入力用のマクロ入力端子17と、DRAMマクロ信号出力用のマクロ出力端子18が設けられている。そして、上記テスト制御入力端子16は制御回路13に接続され、マクロ入力端子17は入力セクタ14に接続され、マクロ出力端子18は出力セクタ15に接続されている。

【 0 0 2 4 】

入力セクタ14は、アドレス入力、データ入力などが時系列に入力するDRAMマクロ信号入力を、2個のDRAM回路11、12の任意の一方に供給する機能（通常動作時）と両方に供給する機能（制御回路13により制御されるテスト時）を有する。

【 0 0 2 5 】

出力セクタ15は、2個のDRAM回路11、12の任意の一方の出力信号を選択制御してマクロ出力端子18に出力させる機能（通常動作時）と、2個のDRAM回路11、12の各出力信号を交互に選択制御してマクロ出力端子18に出力させる機能（テスト回路により制御されるテスト時）を有する。

【 0 0 2 6 】

図2および図3は、図1のLSIにおいて例えば同期型の2個のDRAM回路11、12を並行にテストする場合のアクセスの順序を説明するためにアクセスパターンを示す模式図およびフローチャートである。

【 0 0 2 7 】

制御回路13は、制御信号入力を受けると、2個のDRAM回路11、12を並行にテストするために、入力セクタ14を制御してDRAMマクロ信号入力を2個のDRAM回路11、12の両方に入力させ、出力セクタ15を制御して2個のDRAM回路11、12の各出力信号を交互に選択してマクロ出力端子18に出力させるように制御する。

【 0 0 2 8 】

この際、2個のDRAM回路11、12の最初のロウについて、まず、第1のDRAM回路11の各カラム順にメモリセルをアクセスし、次いで、第2のDRAM回路12に対して各カラム順にメモリセルをアクセスする。このようなアクセスを、2個のDRAM回路11、12の次のロウから最後のロウまで繰り返す。

【 0 0 2 9 】

ここで、2 個のDRAM回路11、12の1つのロウをアクセスするのに必要な時間は、バンクアクティブ信号BACTを活性化した後に第1のDRAM回路11の各カラム順にリード（READ）動作を行う第1のアクセス期間と、出力セクタ15を制御して第1のDRAM回路11の所定幅のデータを出力させる第1の出力期間と、第2のDRAM回路12の各カラム順にリード（READ）動作を行う第2のアクセス期間と、ビット線プリチャージ信号BPRCによりビット線プリチャージ動作を行うプリチャージ期間と、出力セクタ15を制御して第2のDRAM回路12の所定幅のデータを出力させる第2の出力期間である。なお、プリチャージ期間と第2の出力期間とは順序を入れ替えてもよい。

【0030】

上記したように2 個のDRAM回路11、12を同時に制御しながら並行にテストを行うことにより、従来例に比べてテスト時間が短くて済み、テスト効率の良いDRAM混載LSI を実現することができる。

【0031】

＜第2の実施の形態＞

前述した第1の実施の形態のDRAM混載LSI は、2 個のDRAM回路11、12を1 個の制御回路13により共通に制御したが、テスト回路付きのDRAM回路を複数個搭載したDRAM混載LSI についても、第1の実施の形態に準じて実施可能であり、その例を以下に説明する。

【0032】

図4 は、第2の実施の形態に係るDRAM混載ロジックLSI の一部を示すブロック図である。

【0033】

このLSI チップは、第1のDRAM回路41a と、第2のDRAM回路42a と、テスト制御信号入力を受けて第1のDRAM回路41a に対する各種のテストを行う機能を有する第1のテスト回路41b と、テスト制御信号入力を受けて第2のDRAM回路42a に対する各種のテストを行う機能を有する第2のテスト回路42b と、出力セクタ25を具備している。

【0034】

LSI チップ外部には、制御入力端子26と、DRAMマクロ信号入力用のマクロ入力端子27と、DRAMマクロ信号出力用のマクロ出力端子28が設けられている。そして、制御入力端子26は第1のテスト回路41a および第2のテスト回路42a に共通に接続され、マクロ入力端子27は第1のテスト回路41b および第2のテスト回路42b に共通に接続され、マクロ出力端子28は出力セレクタ25に接続されている。

【0035】

アドレス入力、データ入力などが時系列に入力するDRAMマクロ信号入力は、第1のテスト回路41b を介して第1のDRAM回路41a に入力し、また、第2のテスト回路42b を介して第2のDRAM回路42a に入力する。

【0036】

出力セレクタ25は、第1のDRAM回路41a から第1のテスト回路41b を介して出力する第1の出力信号および第2のDRAM回路42a から第2のテスト回路42b を介して出力する第2の出力信号を選択してマクロ出力端子25に出力させる機能（通常動作時）と、第1の出力信号および第2の出力信号を交互に選択してマクロ出力端子25に出力させる機能（テスト時）を有する。

【0037】

上記第2の実施の形態のDRAM混載ロジックLSI においても、例えば同期型の2個のDRAM回路41a 、42a を並行にテストする場合に、第1の実施の形態のLSI の動作に準じてアクセスすることが可能であるので、第1の実施の形態と同様の効果が得られる。

【0038】

なお、必要に応じて、第1のテスト回路41b および第2のテスト回路42b に出カデータ圧縮（例えば128 ビットを8 ビットに圧縮）機能を持たせてもよい。

【0039】

＜第2の実施の形態の変形例＞

前述した第2の実施の形態のLSI は、DRAMマクロ信号入力を第1のテスト回路41b および第2のテスト回路42b に共通に入力したが、図中点線で示すように、制御信号により任意の一方のテスト回路を選択して入力するための入力セレクタ24を付加してもよい。これにより、テスト時には、第1のテスト回路41a にはオ

ール”1”、第2のテスト回路42aにオール”0”のように、2個のテスト回路41a、42aに別のデータを書き込むことが可能になる。

【0040】

＜第3の実施の形態＞

前述した各実施の形態は、複数のDRAM回路を同様に制御してテストを行う例を示したが、複数のDRAM回路を個別に制御して例えばデータ転送を行う例について、以下に説明する。

【0041】

図5は、第3の実施の形態に係る複数のDRAM回路と1個の論理回路（マクロ回路、例えばマイクロコンピュータ）を同一半導体チップ上に搭載したDRAM混載ロジックLSIの一部を示すブロック図である。

【0042】

このLSIチップは、論理回路50と、第1のDRAM回路51と、第2のDRAM回路52と、制御信号入力を受けて各DRAM回路51、52を同時にかつ個別に制御する個別制御機能を有する個別制御回路53と、入力セクタ54および出力セクタ55を具備している。

【0043】

LSIチップ外部には、個別制御信号入力用の制御入力端子56と、DRAMマクロ信号入力用のマクロ入力端子57と、DRAMマクロ信号出力用のマクロ出力端子58が設けられている。そして、制御入力端子56は個別制御回路53に接続され、マクロ入力端子57は入力セクタ54に接続され、マクロ出力端子58は出力セクタ55に接続されている。

【0044】

入力セクタ54は、アドレス入力、データ入力などが時系列に入力するDRAMマクロ信号入力を、2個のDRAM回路51、52の任意の一方に供給する機能を有する。

【0045】

出力セクタ55は、2個のDRAM回路51、52の任意の一方の出力信号を選択制御してマクロ出力端子58に出力させる機能を有する。

【0046】

個別制御回路53は、制御信号入力を受けると、各DRAM回路51、52を同時にかつ個別に制御し、例えば各DRAM回路51、52から交互にデータを読み出して外部に転送するように制御する。

【 0 0 4 7 】

図6は、図5のLSIにおいて2個のDRAM回路51、52から交互にアクティブにしてデータを読み出してDRAM回路の外部にデータ転送を行う場合のアクセス（インターリーブアクセス）の順序を示すフローチャートである。

【 0 0 4 8 】

即ち、第1のDRAM回路51にバンクアクティブ信号BACTを供給し、出力セクタ55を第1のDRAM回路51の出力信号の選択が可能な状態に制御し、第1のDRAM回路51の各カラムから順次にデータを読み出して出力した後、ビット線プリチャージ信号BPRCを供給する。この間において、第1のDRAM回路51に読み出し制御信号READを供給しつつ、第2のDRAM回路52にバンクアクティブ信号BACTを供給し、第1のDRAM回路51にビット線プリチャージ信号BPRCを供給しつつ、出力セクタ55を第2のDRAM回路52の出力信号の選択が可能な状態に制御しておく。

【 0 0 4 9 】

これにより、第1のDRAM回路51から1回分のデータの読み出しが完了すると、直ちに、第2のDRAM回路52の各カラムから順次にデータを読み出して出力することが可能になる。そして、第2のDRAM回路52に読み出し制御信号READを供給しつつ、第1のDRAM回路51にバンクアクティブ信号BACTを供給し、第2のDRAM回路52にビット線プリチャージ信号BPRCを供給しつつ、出力セクタ55を第1のDRAM回路51の出力信号の選択が可能な状態に制御しておく。

【 0 0 5 0 】

このような動作を繰り返すことにより、各DRAM回路51、52からデータを交互に読み出す時のプリチャージからアクティブまでの時間 t_{RP} による時間的な制約を受けないようにする（見掛け上、時間 t_{RP} を隠す）ことができるので、読み出したデータを高速に転送することが可能になる。

【 0 0 5 1 】

【発明の効果】

上述したように本発明の多マクロ搭載半導体集積回路によれば、複数のDRAM回路をテストする際のテスト時間を短縮することができ、また、複数のDRAM回路の読み出しデータを高速に転送させることができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態に係る複数のDRAM回路（マクロ回路）を同一半導体チップ上に搭載したDRAM混載LSI の一部を示すブロック図。

【図 2】

図 1 のLSI において 2 個のDRAM回路を並行にテストする場合のアクセスの順序を説明するためにアクセスパターンを示す模式図。

【図 3】

図 1 のLSI において 2 個のDRAM回路を並行にテストする場合のアクセスの順序を示すフローチャート。

【図 4】

本発明の第 2 の実施の形態に係るDRAM混載ロジックLSI の一部を示すブロック図。

【図 5】

本発明の第 3 の実施の形態に係る複数のDRAM回路（マクロ回路）と 1 個のロジック回路（マクロ回路）を同一半導体チップ上に搭載したDRAM混載ロジックLSI の一部を示すブロック図。

【図 6】

図 5 のLSI において 2 個のDRAM回路から交互にデータを読み出して外部にデータ転送を行う場合のアクセスの順序を示すフローチャート。

【図 7】

複数のDRAM回路を搭載した従来のLSI において 2 個のDRAM回路を連続的にテストする場合のアクセスの順序を説明するためにアクセスパターンを示す模式図およびフローチャート。

【図 8】

複数のDRAM回路を搭載した従来のLSI において 2 個のDRAM回路を連続的にテス

トする場合のアクセスの順序を示すフローチャート。

【図 9】

同期型の複数のDRAM回路を搭載した従来のLSI において 2 個のDRAM回路を同様に制御してDRAM回路外部にデータ転送を行う場合のアクセスの順序を示すフローチャート。

【図 1 0】

DRAM回路のバンク 1 個分の一部を代表的に示す回路図。

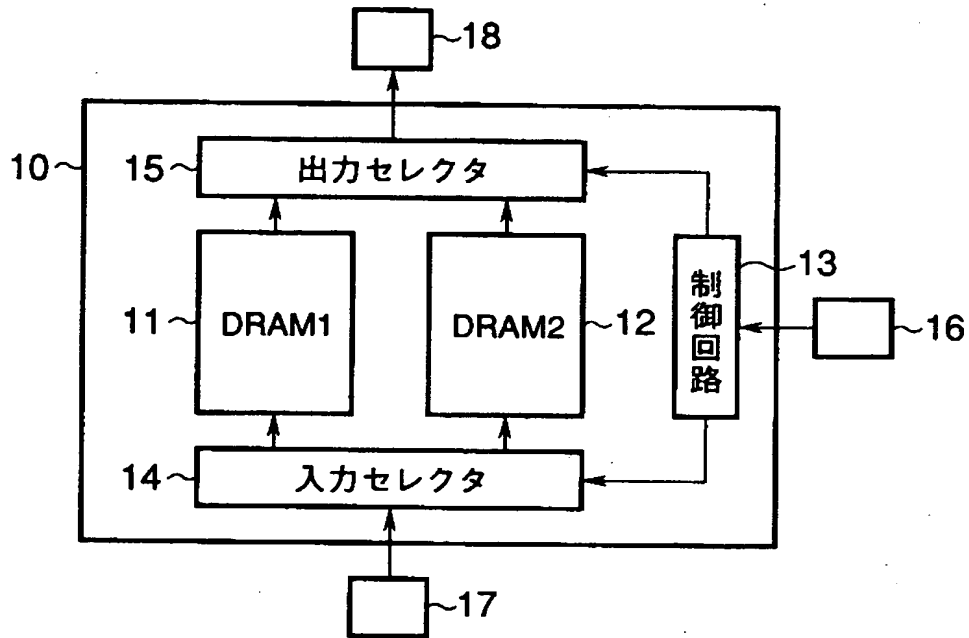
【符号の説明】

- 11…第 1 のDRAM回路、
- 12…第 2 のDRAM回路、
- 13…制御回路、
- 14…入力セクタ、
- 15…出力セクタ、
- 16…テスト制御入力端子、
- 17…マクロ入力端子、
- 18…マクロ出力端子。

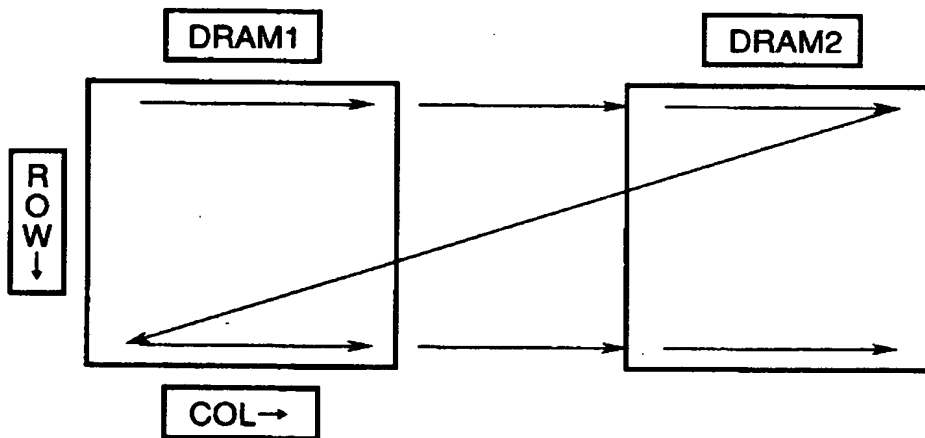
【書類名】

図面

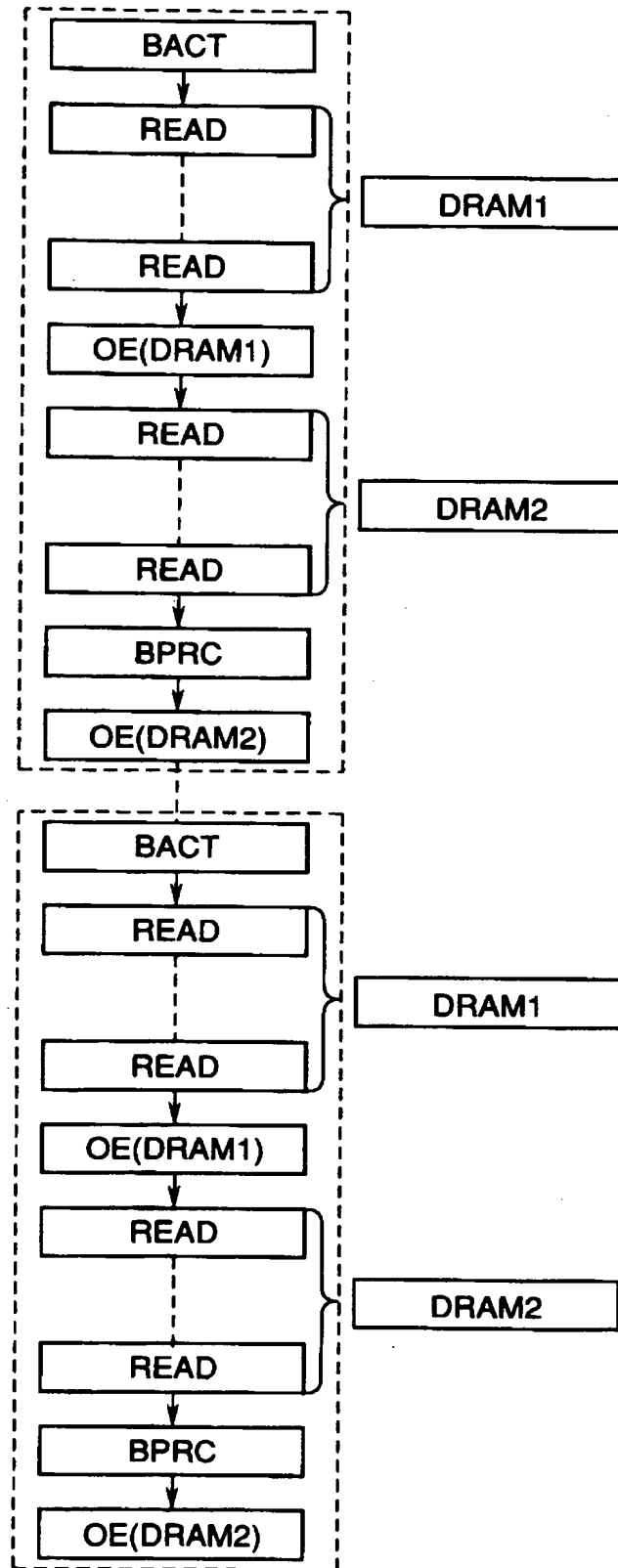
【図 1】



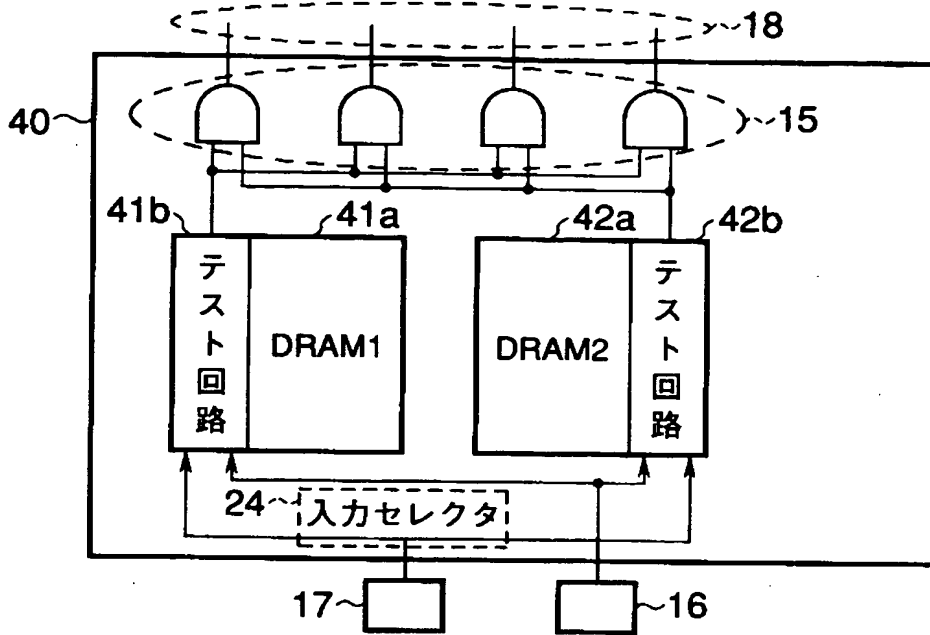
【図 2】



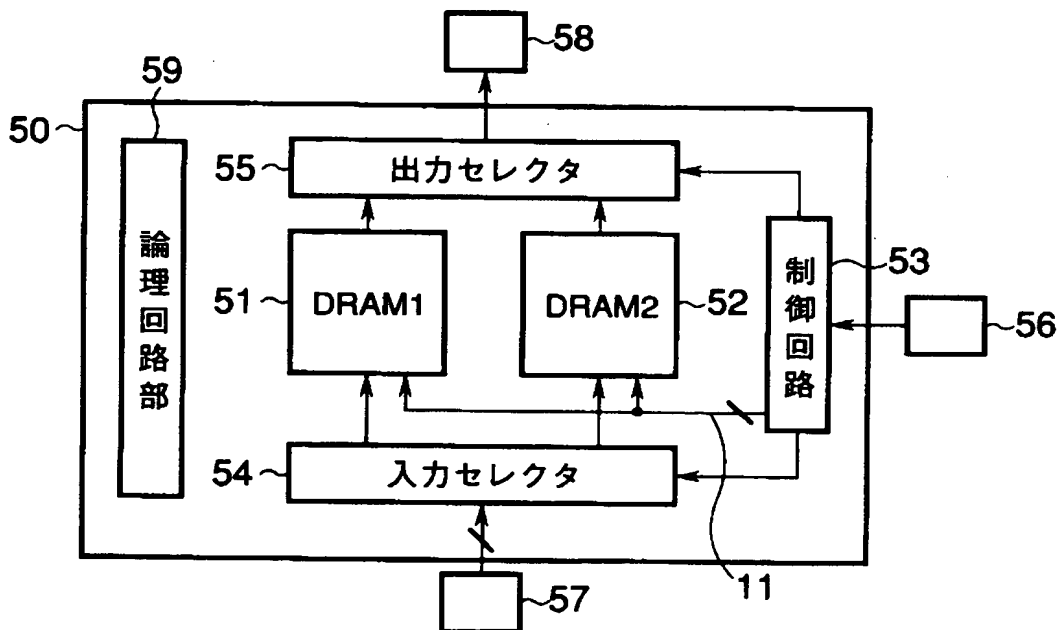
【図 3】



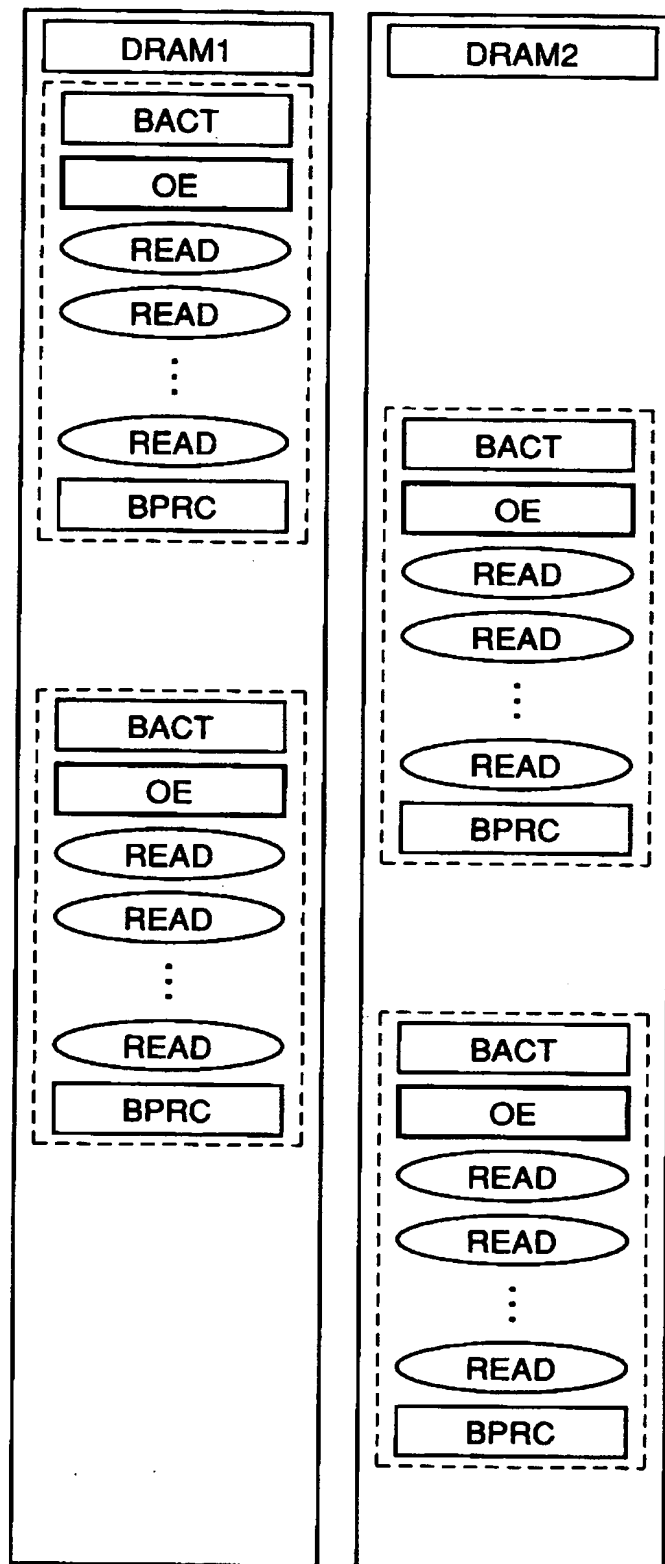
【図 4】



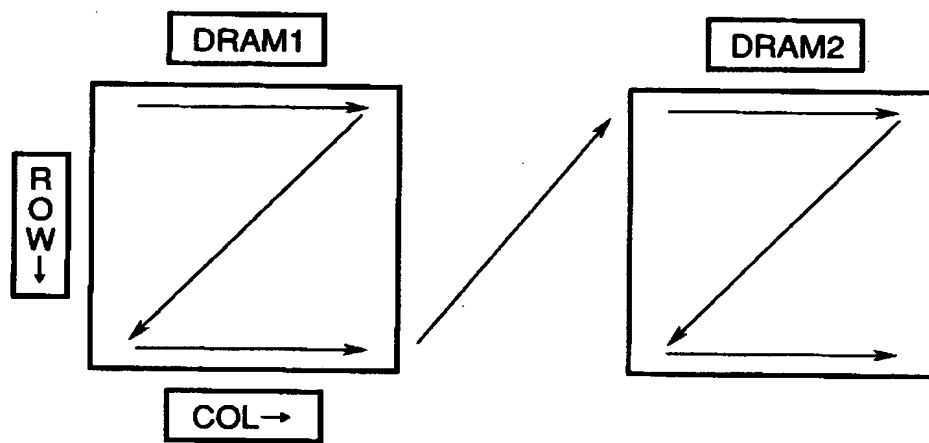
【図 5】



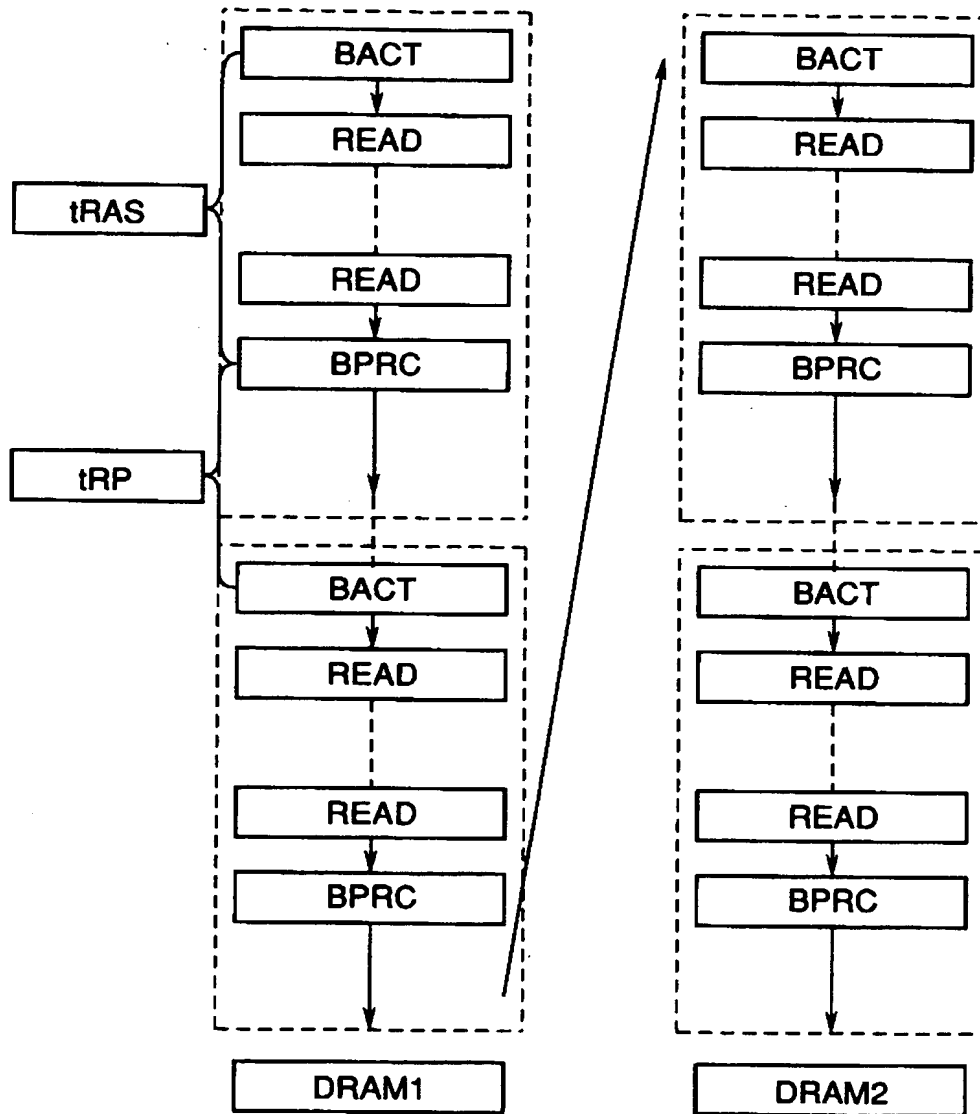
【図 6】



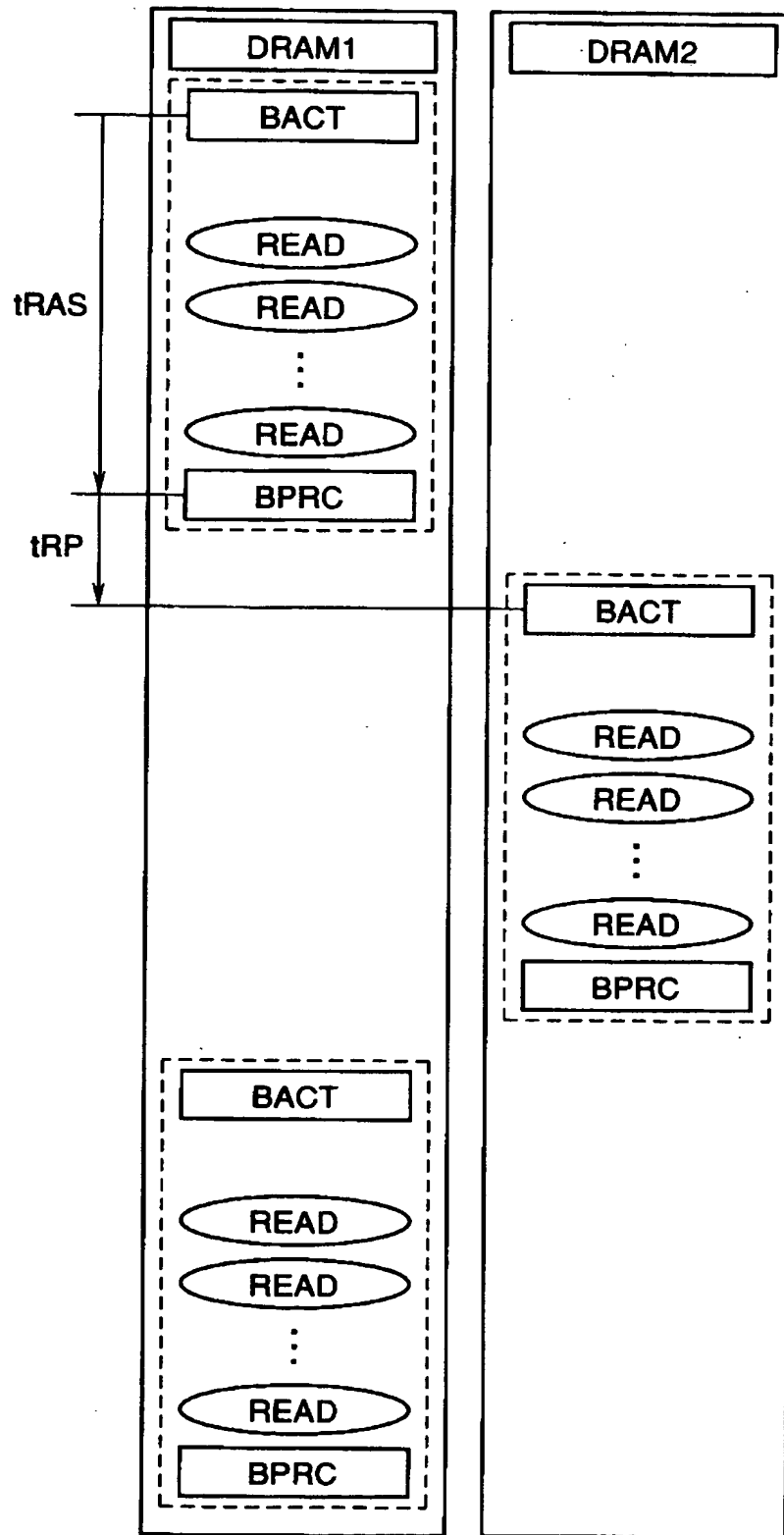
【図 7】



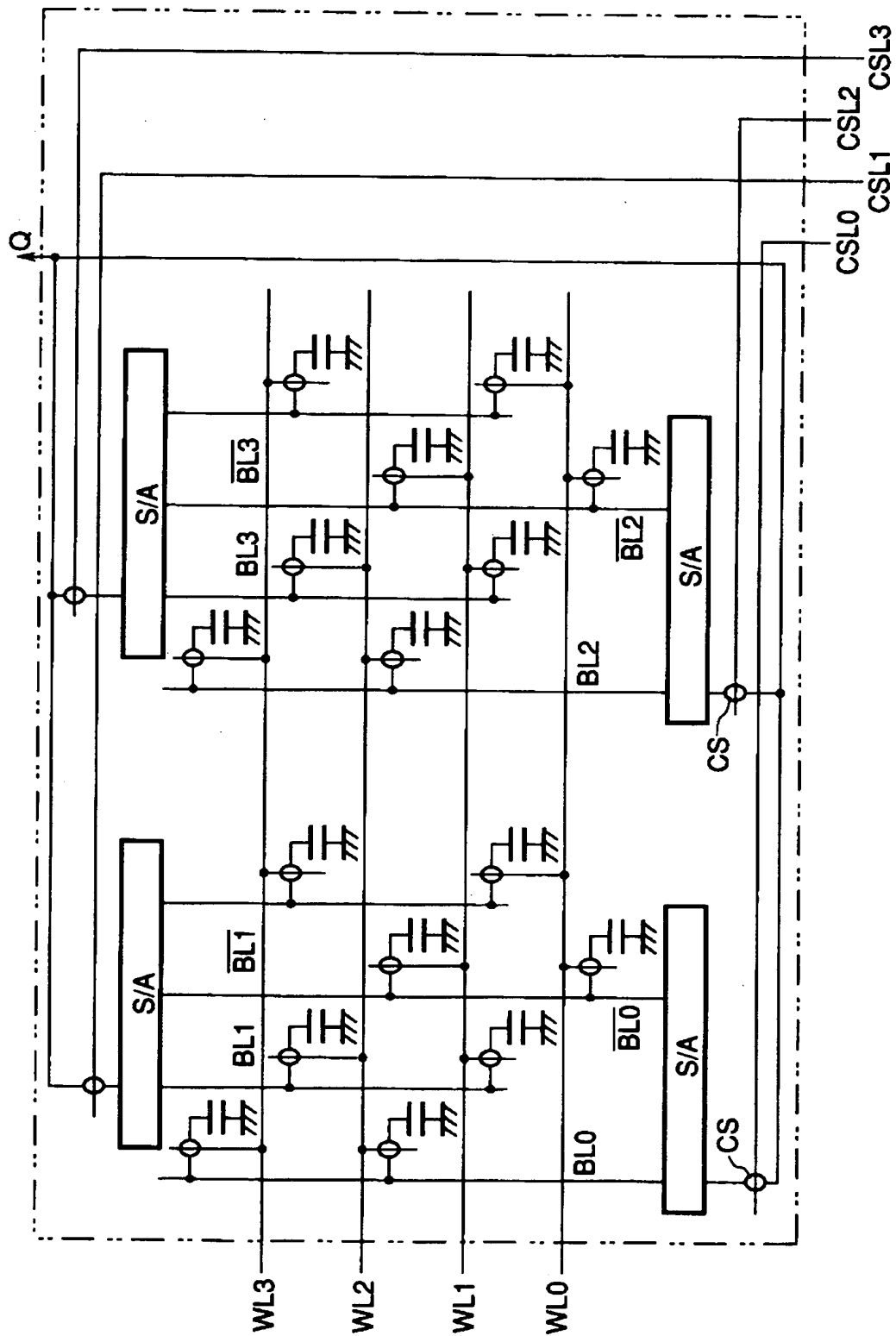
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 LSI に搭載された複数のDRAM回路をテストする際のテスト時間を短縮したり、複数のDRAM回路の読み出しデータを高速に転送させる。

【解決手段】 複数のDRAM回路11、12と、テスト制御信号入力を受けて各DRAM回路に対するテストを並行に行う機能を有する制御回路13と、制御回路により制御され、テスト時にはDRAMマクロ信号入力を複数のDRAM回路に供給する機能を有する入力セレクタ14と、制御回路により制御され、テスト時には複数のDRAM回路の各出力信号を選択制御してマクロ出力端子18に出力させる機能を有する出力セレクタ15とを具備する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住 所 神奈川県川崎市幸区堀川町72番地
氏 名 株式会社東芝